



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Group Art Unit: 2812
Examiner: Unassigned

In Re PATENT APPLICATION Of:

Applicants : Norihiko SATANI et al.

Serial No. : 10/648,372

Filed : August 27, 2003

For: SEMICONDUCTOR MEMORY DEVICE

Attorney Ref. : OKI 374

)
)
)
)
)
) **CLAIM FOR PRIORITY**
)
)
)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450


Sir:

Submitted herewith is a certified copy of applicant's first-filed Japanese Application No. 2002-246711, filed August 27, 2002, the rights of priority of which have been and are claimed pursuant to the provisions of 35 U.S.C. §119.

It is respectfully requested that receipt of this priority document be acknowledged.

Respectfully submitted,

November 26, 2003
Date


Steven M. Rabin (Reg. No. 29,102)
RABIN & BERDO, P.C.
(Customer No. 23995)
Telephone: (202) 371-8976
Telefax: (202) 408-0924

SMR:dt

FEE ENCLOSED: \$0
Please charge any further
fee to our Deposit Account
No. 18-0002

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月27日

出 願 番 号

Application Number:

特願2002-246711

[ST.10/C]:

[JP2002-246711]

出 願 人

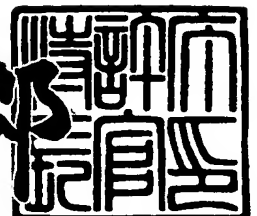
Applicant(s):

沖電気工業株式会社
株式会社 沖マイクロデザイン

2003年 1月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3105323

【書類名】 特許願

【整理番号】 KA003826

【提出日】 平成14年 8月27日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 宮崎県宮崎郡清武町大字木原 7 0 8 3 番地 株式会社
沖マイクロデザイン内

【氏名】 佐谷 憲彦

【発明者】

【住所又は居所】 宮崎県宮崎郡清武町大字木原 7 0 8 3 番地 株式会社
沖マイクロデザイン内

【氏名】 佐藤 信一郎

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【特許出願人】

【識別番号】 591049893

【氏名又は名称】 株式会社 沖マイクロデザイン

【代理人】

【識別番号】 100086807

【弁理士】

【氏名又は名称】 柿本 恭成

【手数料の表示】

【予納台帳番号】 007412

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 メモリセルに欠陥がある場合にその欠陥メモリセルに代えて用いるための冗長メモリセルと、前記冗長メモリセルの試験時に外部から試験状態を設定するための試験信号が印加される電極と、前記メモリセル及び前記冗長メモリセルから読み出されるデータを出力する出力回路とを備えた半導体記憶装置において、

前記出力回路は、前記電極に前記試験信号が与えられて前記冗長メモリセルに対する試験状態が設定された時に、該冗長メモリセルから読み出されたデータを、前記メモリセルから読み出されて出力されるデータの信号レベルとは異なるレベルで出力するように構成したことを特徴とする半導体記憶装置。

【請求項 2】 前記出力回路は、前記冗長メモリセルに対する試験状態が設定された時に、該冗長メモリセルから読み出されたデータのハイレベルの電位を所定の電位よりも低い電位で出力することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記出力回路は、前記冗長メモリセルに対する試験状態が設定された時に、該冗長メモリセルから読み出されたデータを反転して出力することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】 前記出力回路は、前記試験信号と該試験信号に基づいて生成される内部制御信号の両方が正常な論理値であることを判定する第 1 の論理ゲートと、前記第 1 の論理ゲートの出力信号に基づいて前記冗長メモリセルから読み出されたデータを反転させて出力する第 2 の論理ゲートとを備えたことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】 メモリセルに欠陥がある場合にその欠陥メモリセルに代えて用いるための第 1 及び第 2 の冗長メモリセルと、前記第 1 及び第 2 の冗長メモリセルの試験時に外部からそれぞれ試験状態を設定するための試験信号を印加する第 1 及び第 2 の電極と、前記メモリセル及び前記第 1 及び第 2 の冗長メモリセルから読み出されるデータを出力する出力回路とを有する半導体記憶装置において

前記出力回路は、前記第 1 及び第 2 の電極にそれぞれの試験信号が与えられて前記第 1 及び第 2 の冗長メモリセルに対する試験状態が設定された時に、一定レベルの信号を出力するように構成したことを特徴とする半導体記憶装置。

【請求項 6】 前記出力回路は、前記第 1 及び第 2 の冗長メモリセルに対する試験状態が設定された時に、ハイレベルまたはローレベルの信号を出力することを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 7】 前記出力回路は、前記第 1 及び第 2 の冗長メモリに対する試験信号と該試験信号に基づいて生成される内部制御信号のすべてが正常な論理値であることを判定する第 1 の論理ゲートと、正常な試験状態が設定されたときに前記第 1 の論理ゲートの出力信号によって出力信号をハイレベルまたはローレベルに固定する第 2 の論理ゲートとを備えたことを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 8】 メモリセルに欠陥がある場合にその欠陥メモリセルに代えて用いるための冗長メモリセルと、前記冗長メモリセルの試験時に外部から試験状態を設定するための試験信号を印加する電極と、前記メモリセル及び前記冗長メモリセルから読み出されるデータを出力する出力回路とを有する半導体記憶装置において、

前記出力回路は、前記電極に前記試験信号が与えられて前記冗長メモリセルに対する試験状態が設定された時に、該冗長メモリセルから読み出されたデータを、前記メモリセルから読み出されて出力するデータのタイミングとは異なるタイミングで出力するように構成したことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、冗長メモリセルを有する半導体記憶装置、特にその冗長メモリセルの試験機能に関するものである。

【0002】

【従来の技術】

半導体記憶装置は、一連のウエハプロセスで多数の記憶回路を一括して形成することによって製造される。形成された個々の記憶回路は、アドレス信号によって選択されるようになっている。従って、選択可能な記憶回路の内に1つでも欠陥があれば、その半導体記憶装置は使い物にならない不良品となってしまう。特に、個々の記憶回路の寸法が小型化され、かつ集積度が向上して記憶容量が大きくなるに従って、完全無欠な半導体記憶装置を製造することは困難になる。

【 0 0 0 3 】

このため、半導体記憶装置が同一パターンの記憶回路を複数並べて構成されることに着目し、予め代替用の記憶回路を用意しておき、本来使用するべき記憶回路に欠陥が有った場合に、その代替用の記憶回路で置き換えるという方法が採用されている。

【 0 0 0 4 】

図2は、冗長メモリセルを有する従来のDRAM (Dynamic Random Access Memory) の一例を示す構成図である。

このDRAMのメモリセルアレイ10は、平行に配置されたワード線 WL_i (但し、 $i = 1 \sim m$) と冗長ワード線 WL_r を備え、これらのワード線 WL_i , WL_r に交差して平行に配置されたビット線対 BL_j , $\overline{BL_j}$ (但し、 $j = 1 \sim n$ 、また「 $\overline{}$ 」は反転を意味する) と冗長ビット線対 BL_r , $\overline{BL_r}$ を有している。

【 0 0 0 5 】

ワード線 WL_i とビット線対 BL_j , $\overline{BL_j}$ の各交差箇所には、メモリセル(MC) 11 $_{i,j}$ が配置されている。また、冗長ワード線 WL_r とビット線対 BL_j , $\overline{BL_j}$ 及び冗長ビット線対 BL_r , $\overline{BL_r}$ の各交差箇所には、冗長メモリセル12 $_{r,k}$ (但し、 $k = 1 \sim n$, r) が配置され、更に、冗長ビット線対 BL_r , $\overline{BL_r}$ とワード線 WL_i 及び冗長ワード線 WL_r の各交差箇所には、冗長メモリセル13 $_{l,r}$ (但し、 $l = 1 \sim m$, r) が配置されている。

【 0 0 0 6 】

各メモリセル11 $_{i,j}$ は、それぞれキャパシタとトランジスタで構成され、このトランジスタがワード線 WL_i によってオン/オフ制御されて、ビット線 BL

j , BL_j からキャパシタへのデータ（電荷）の書き込みや読み出しが行われるものである。各冗長メモリセル $12_{r,k}$, $13_{l,r}$ も同様である。

【0007】

このDRAMは、ワード線 WL_i を選択するために、行アドレス信号 RAD を解読して行選択信号 R_1, R_2, \dots, R_m の内のいずれか1つにレベル“H”を出力する行アドレスデコーダ20を有している。行アドレスデコーダ20の出力側には、行置換回路30とワード線ドライバ40が接続されている。

【0008】

行置換回路30は、特定のワード線に接続されたメモリセル11に欠陥があるときに、冗長ワード線 WL_r をその代替として置き換えるための回路である。行置換回路30は試験用のパッド31を有し、このパッド31は抵抗32でプルダウンされると共に、インバータ33に接続されている。インバータ33の出力側は、否定的論理積ゲート（以下、「NAND」という）34の一方の入力側に接続されている。NAND34の他方の入力側には、行アドレス信号 RAD が活性化された時に、“H”となる制御信号 XR が与えられるようになっている。NAND34の出力側はノード N_1 に接続されている。

【0009】

制御信号 XR は、更にPチャネルMOSトランジスタ（以下、「PMOS」という）35のゲートに与えられるようになっている。PMOS35のソースとドレインは、それぞれ電源電位 VCC とノード N_2 に接続されている。

【0010】

ノード N_1, N_2 間には、 m 組の直列接続されたNチャネルMOSトランジスタ（以下、「NMOS」という） 36_i とヒューズ 37_i が並列に接続され、これらの各NMOS 36_i のゲートには、それぞれ行選択信号 R_i が与えられている。また、ノード N_2 には、直列に接続された2個のインバータ $38a, 38b$ からなる保持回路が接続されている。更に、ノード N_2 にはインバータ39が接続され、このインバータ39の出力側から制御信号 XF が出力されて、ワード線ドライバ40に与えられるようになっている。

【0011】

ワード線ドライバ40は、各行選択信号 R_i に対応した $NAND41_i$ を有しており、これらの $NAND41_i$ に一方の入力側に行選択信号 R_i が与えられ、他方の入力側に制御信号 XF が共通に与えられるようになっている。各 $NAND41_i$ の出力側は、それぞれ反転増幅器42 $_i$ を介してワード線 WL_i に接続されている。更に、ワード線ドライバ40は、制御信号 XF を入力とする反転増幅器43を有しており、この反転増幅器43の出力側に冗長ワード線 WL_r が接続されている。

【0012】

各ビット線対 BL_j 、 $/BL_j$ は、それぞれセンスアンプ(SA)51 $_j$ に接続されると共に、スイッチ用のNMOS52 $_j$ 、53 $_j$ を介して、データ線 DL 、 $/DL$ に接続されている。また、冗長ビット線対 BL_r 、 $/BL_r$ は、センスアンプ51 $_r$ に接続されると共に、スイッチ用のNMOS52 $_r$ 、53 $_r$ を介して、データ線 DL 、 $/DL$ に接続されている。これらのNMOS52 $_j$ 、53 $_j$ 、52 $_r$ 、53 $_r$ は、列アドレス信号 CAD に基づいて、列アドレスデコーダ60と列切替回路70から制御されるようになっている。

【0013】

列アドレスデコーダ60は、列アドレス信号 CAD が与えられたときに、これを解読して列選択信号 $C1$ 、 $C2$ 、 \dots 、 C_n の内のいずれか1つを“H”にして出力するものである。列アドレスデコーダ60の出力側には、列切替回路70が接続されている。

【0014】

列切替回路70は試験用のパッド71を有し、このパッド71は抵抗72でプルダウンされると共に、インバータ73に接続されている。インバータ73の出力側は、 $NAND74$ の一方の入力側に接続されている。 $NAND74$ の他方の入力側には、電源投入直後の一定時間だけ“L”となり、その後“H”に変化する初期信号 INT が与えられるようになっている。 $NAND74$ の出力側はノード $NC0$ に接続され、このノード $NC0$ に制御信号 YFD が出力されるようになっている。

【0015】

ノードNC0は、ヒューズ75₁を介してノードNC1に接続され、更にこのノードNC1がヒューズ75₂を介してノードNC2に接続されている。以下同様に、ヒューズ75₂, 75₃, ..., 75_nを介して、ノードNC3, NC4, ..., NCnが直列に接続されている。ノードNCnは、PMOS76を介して電源電位VCCに接続されると共に、PMOS77を介して電源電位VCCに接続されている。PMOS76のゲートには、制御信号YFDがインバータ78を介して与えられ、PMOS77のゲートには、ノードNCnの電位がインバータ79を介して与えられるようになっている。

【0016】

列切替回路70は、列アドレスデコーダ60から与えられる各列選択信号C_jに対応して、それぞれノードNC_jのレベルでオン/オフ制御される2つのトランスファゲート（以下、「TG」という）80_j, 81_jを有している。TG80_jは、ノードNC_jの“L”, “H”に応じて、オン状態及びオフ状態になるものである。一方、TG81_jは、ノードNC_jの“L”, “H”に応じて、オフ状態及びオン状態となるものである。

【0017】

TG80_jの出力側は、NMOS52_j, 53_jのゲートに接続され、TG81_jの出力側は、NMOS52_{j+1}, 53_{j+1}のゲートに接続されている。また、列選択信号C_nに対応するTG81_nの出力側は、冗長ビット線対BL_r, /BL_rに対応するNMOS52_r, 53_rのゲートに接続されている。

【0018】

データ線DL, /DLは、リードアンプ(RA)90に接続されている。リードアンプ90は、データ線DL, /DLに接続されたビット線対BL_j, /BL_jの信号を増幅して“H”または“L”のデータ信号DBを出力するもので、この出力側に出力バッファ100が接続されている。

【0019】

出力バッファ100は、データ信号DBが与えられるインバータ101と、このインバータ101の出力信号を反転して出力するPMOS102とNMOS103によるCMOSインバータで構成されており、このCMOSインバータから

出力データ DOUT が出力されるようになっている。

【0020】

次に動作を説明する。

この DRAM は、すべてのヒューズ $37_1 \sim 37_m$, $75_1 \sim 75_n$ が切断されていない状態で、半導体ウエハ上に形成される。従って、列切替回路 70 のパッド 71 に何も接続しない状態では、制御信号 YFD は “H” となり、TG80₁ \sim 80_n はすべてオン状態、TG81₁ \sim 81_n はすべてオフ状態となる。これにより、列アドレスデコーダ 60 から出力される列選択信号 C1 \sim Cn は、それぞれビット線対 BL1、/BL1 \sim BLn、/BLn に対応する NMOS 52₁, 53₁ \sim 52_n, 53_n のゲートに与えられる。

【0021】

また、行置換回路 30 のパッド 31 に何も接続しない状態で、行アドレス信号 RAD が与えられると、この行アドレス信号 RAD で選択された行選択信号 Ri と、制御信号 XR が “H” となる。これにより、ノード N1 は “L” となり、PMOS 35 はオフ状態となるので、行選択信号 Ri でオン状態となった NMOS 36_i とヒューズ 37_i を介してノード N2 は “L” となり、制御信号 XF は “H” となる。従って、行選択信号 Ri に対応するワード線 WL_i がワード線ドライバ 40 の NAND 41_i と反転増幅器 42_i によって駆動される。

【0022】

このように、すべてのヒューズ $37_1 \sim 37_m$, $75_1 \sim 75_n$ を切断せず、かつ、パッド 31, 71 に何も接続しない状態では、行アドレス信号 RAD と列アドレス信号 CAD によって、本来のメモリセル 11_{i,j} がアクセスされる。従って、この状態で本来のメモリセル 11_{i,j} の試験が行われる。そして、本来のメモリセル 11_{i,j} に欠陥がなければ、この DRAM は良品とされる。

【0023】

もしも、特定のワード線（例えば WL2）に接続されるメモリセル 11_{2,j} に欠陥があると、冗長メモリセル 12_{r,k} の試験が行われる。また、特定のビット線対（例えば、BL3, /BL3）に接続されるメモリセル 11_{i,3} に欠陥があると、冗長メモリセル 13_{1,r} の試験が行われる。

【 0 0 2 4 】

冗長メモリセル $12_{r,k}$ の試験では、行置換回路 30 のパッド 31 にプローブを介して “H” の試験信号 RRT を印加する。これによりノード N1 は “H” となる。また、行アドレス信号 RAD が与えられていないときは制御信号 XR が “L” となって PMOS 35 がオン状態となり、ノード N2 は “H” となる。ノード N2 の電位は、インバータ 38a, 38b による保持回路で保持される。ここで行アドレス信号 RAD が与えられると、制御信号 XR が “H” となって PMOS 35 はオフ状態となるが、ノード N2 のレベルは “H” のままで変化しない。これにより、制御信号 XF が “L” となり、行アドレス信号 RAD の値とは無関係に、冗長ワード線 WLr のみが駆動される。これにより、冗長ワード線 WLr に接続される冗長メモリセル $12_{r,k}$ の試験を行うことができる。

【 0 0 2 5 】

この結果、欠陥メモリセルを有するワード線 WL2 を、冗長メモリセル $12_{r,k}$ を有する冗長ワード線 WLr で置き換える場合、このワード線 WL2 に対応するヒューズ 37_2 を切断すれば良い。これにより、行アドレス信号 RAD によって行選択信号 R2 が “H” になったとき、ノード N2 が “H” となり、制御信号 XF が “L” となる。従って、ワード線 WL2 は駆動されず、これに代わって冗長ワード線 WLr が駆動される。

【 0 0 2 6 】

一方、冗長メモリセル $13_{l,r}$ の試験では、列切替回路 70 のパッド 71 にプローブを介して “H” の試験信号 CRT を印加する。これにより、NAND 74 から出力される制御信号 YFD は “H” となり、ノード NC0 ~ NCm はすべて “H” となって、列アドレスデコーダ 60 から出力される列選択信号 Cn は、冗長メモリセル $13_{l,r}$ が接続される冗長ビット線対 BLr, /BLr の接続制御用の NMOS $52_r, 53_r$ のゲートに与えられるようになる。これにより、冗長ビット線対 BLr, /BLr に接続される冗長メモリセル $13_{l,r}$ の試験を行うことができる。

【 0 0 2 7 】

この結果、欠陥メモリセルを有するビット線対 BL3, /BL3 の使用を停止

して、冗長メモリセル $13_{l,r}$ を有する冗長ビット線対 BL_r , $\overline{BL_r}$ に切り替える場合、このビット線対 BL_3 , $\overline{BL_3}$ に対応するヒューズ 75_3 を切断すれば良い。これにより、ノード NC_0 の制御信号 YFD が “L” の時、ノード $NC_1 \sim NC_2$ が “L” となる。また、ノード $NC_3 \sim NC_n$ は、インバータ 78 の出力信号で制御される PMOS 76 等によって “H” となる。これにより、ビット線対 BL_1 , $\overline{BL_1}$ 及び BL_2 , $\overline{BL_2}$ は、列アドレスデコーダ 60 から出力される列選択信号 C_1 , C_2 によってそれぞれ選択される。また、ビット線対 BL_4 , $\overline{BL_4} \sim BL_n$, $\overline{BL_n}$ は、列選択信号 $C_3 \sim C_{n-1}$ によってそれぞれ選択される。そして、冗長ビット線対 BL_r , $\overline{BL_r}$ が、列選択信号 C_n によって選択されることになる。

【 0 0 2 8 】

【発明が解決しようとする課題】

しかしながら、従来の DRAM では、次のような課題があった。

冗長メモリセル $12_{r,k}$, $13_{l,r}$ の試験を行う場合、それぞれパッド 31, 71 にプローブを接触させて、“H” の信号を印加するようにしているが、内部が正しく冗長メモリセルの試験が行われる状態に設定されているか否かを、外部から確認することができなかった。このため、試験回路の論理ミス、形成された回路パターンの不良、或いはプローブの接触不良等があって、正しく冗長メモリセルの試験が行われていないにも拘らず、冗長メモリセルが正常である旨の試験結果が出る場合があった。

【 0 0 2 9 】

本発明は、前記従来技術が持っていた課題を解決し、冗長メモリセルの試験において内部に試験状態が正しく設定されているか否かをチェックすることができる試験回路を有する半導体記憶装置を提供するものである。

【 0 0 3 0 】

【課題を解決するための手段】

前記課題を解決するために、本発明の内の第 1 の発明は、メモリセルに欠陥がある場合にその欠陥メモリセルに代えて用いるための冗長メモリセルと、前記冗長メモリセルの試験時に外部から試験状態を設定するための試験信号が印加され

る電極と、前記メモリセル及び前記冗長メモリセルから読み出されるデータを入力する出力回路とを備えた半導体記憶装置において、前記出力回路は、前記電極に前記試験信号が与えられて前記冗長メモリセルに対する試験状態が設定された時に、該冗長メモリセルから読み出されたデータを、前記メモリセルから読み出されて出力されるデータの信号レベルとは異なるレベルで出力するように構成している。

【 0 0 3 1 】

第2の発明は、第1の発明における出力回路を、冗長メモリセルに対する試験状態が設定された時に、該冗長メモリセルから読み出されたデータのハイレベルの電位を所定の電位よりも低い電位で出力するように構成している。

【 0 0 3 2 】

第3の発明は、第1の発明における出力回路を、冗長メモリセルに対する試験状態が設定された時に、該冗長メモリセルから読み出されたデータを反転して出力するように構成している。

【 0 0 3 3 】

第4の発明は、第1の発明における出力回路を、試験信号と該試験信号に基づいて生成される内部制御信号の両方が正常な論理値であることを判定する第1の論理ゲートと、前記第1の論理ゲートの出力信号に基づいて前記冗長メモリセルから読み出されたデータを反転させて出力する第2の論理ゲートとで構成している。

【 0 0 3 4 】

第1～第4の発明によれば、以上のように半導体記憶装置を構成したので、次のような作用が行われる。

冗長メモリセルの試験時に、外部から試験信号が電極に印加されて内部に正しい試験状態が設定されると、この冗長メモリセルから読み出されたデータは出力回路でレベルの変換が行われて、メモリセルから読み出されて出力される通常のデータの信号レベルとは異なるレベルで出力される。もしも内部に正しい試験状態が設定されないと、冗長メモリセルのデータは、通常のデータの信号レベルで出力される。従って、冗長メモリセルの試験が正常に行われているか否かを確認

することができる。

【 0 0 3 5 】

第 5 の発明は、メモリセルに欠陥がある場合にその欠陥メモリセルに代えて用いるための第 1 及び第 2 の冗長メモリセルと、前記第 1 及び第 2 の冗長メモリセルの試験時に外部からそれぞれ試験状態を設定するための試験信号を印加する第 1 及び第 2 の電極と、前記メモリセル及び前記第 1 及び第 2 の冗長メモリセルから読み出されるデータを出力する出力回路とを有する半導体記憶装置において、前記出力回路は、前記第 1 及び第 2 の電極にそれぞれの試験信号が与えられて前記第 1 及び第 2 の冗長メモリセルに対する試験状態が設定された時に、一定レベルの信号を出力するように構成している。

【 0 0 3 6 】

第 6 の発明は、第 5 の発明における出力回路を、第 1 及び第 2 の冗長メモリセルに対する試験状態が設定された時に、ハイレベルまたはローレベルの信号を出力するように構成している。

【 0 0 3 7 】

第 7 の発明は、第 5 の発明における出力回路を、第 1 及び第 2 の冗長メモリに対する試験信号と該試験信号に基づいて生成される内部制御信号のすべてが正常な論理値であることを判定する第 1 の論理ゲートと、正常な試験状態が設定されたときに前記第 1 の論理ゲートの出力信号によって出力信号をハイレベルまたはローレベルに固定する第 2 の論理ゲートとで構成している。

【 0 0 3 8 】

第 5 ～第 7 の発明によれば、次のような作用が行われる。

冗長メモリセルの試験に先立って、第 1 及び第 2 の冗長メモリセルの試験信号を同時に印加する。これにより、内部に正常な試験状態が設定されれば、出力回路から一定レベルの信号が出力される。これにより、冗長メモリセルの試験状態が正しく設定できたか否かを確認することができる。

【 0 0 3 9 】

第 8 の発明は、メモリセルに欠陥がある場合にその欠陥メモリセルに代えて用いるための冗長メモリセルと、前記冗長メモリセルの試験時に外部から試験状態

を設定するための試験信号を印加する電極と、前記メモリセル及び前記冗長メモリセルから読み出されるデータを出力する出力回路とを有する半導体記憶装置において、前記出力回路は、前記電極に前記試験信号が与えられて前記冗長メモリセルに対する試験状態が設定された時に、該冗長メモリセルから読み出されたデータを、前記メモリセルから読み出されて出力するデータのタイミングとは異なるタイミングで出力するように構成している。

【 0 0 4 0 】

第 8 の発明によれば、次のような作用が行われる。

冗長メモリセルの試験状態を設定するための試験信号を電極に印加して、この冗長メモリセルからデータを読み出すと、出力回路によってメモリセルから出力されるデータとは異なったタイミングでデータが出力される。従って、データの出力タイミングを調べることで、冗長メモリセルの試験が正しく行われているか否かを調べることができる。

【 0 0 4 1 】

【発明の実施の形態】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態を示す DRAM の構成図であり、図 2 中の要素と共通の要素には共通の符号が付されている。

この DRAM は、冗長メモリセルを有するメモリセルアレイ 10 を有している。メモリセルアレイ 10 は、平行に配置された m 本のワード線 WL_i (但し、 $i = 1 \sim m$) と 1 本の冗長ワード線 WL_r を有している。また、これらのワード線 WL_i , WL_r に交差するように、平行に配置された n 組のビット線対 BL_j , \overline{BL}_j (但し、 $j = 1 \sim n$) と 1 組の冗長ビット線対 BL_r , \overline{BL}_r を有している。

【 0 0 4 2 】

ワード線 WL_i とビット線対 BL_j , \overline{BL}_j との各交差箇所には、それぞれ本来のメモリセル $11_{i,j}$ が配置されている。また、冗長ワード線 WL_r と、ビット線対 BL_j , \overline{BL}_j 及び冗長ビット線対 BL_r , \overline{BL}_r との各交差箇所には、冗長メモリセル $12_{r,k}$ (但し、 $k = 1 \sim n$, r) が配置されている。更

に、冗長ビット線対 BL_r , \overline{BL}_r と、ワード線 WL_i 及び冗長ワード線 WL_r との各交差箇所には、冗長メモリセル $13_{l,r}$ (但し、 $l = 1 \sim m$, r) が配置されている。

【 0 0 4 3 】

各メモリセル $11_{i,j}$ は、図示しないが、それぞれ 1 個のキャパシタと 1 個の絶縁ゲート型のトランジスタで構成されている。そして、トランジスタがワード線 WL_i によってオン／オフ制御され、ビット線 BL_j , \overline{BL}_j からキャパシタへのデータの書き込みまたは読み出しが行われるようになっている。各冗長メモリセル $12_{r,k}$, $13_{l,r}$ も同様である。

【 0 0 4 4 】

この DRAM は、ワード線 WL_i を選択するための行アドレスデコーダ 20 を有している。行アドレスデコーダ 20 は、行アドレス信号 RAD が与えられたときに、これを解読して行選択信号 R_1, R_2, \dots, R_m の内のいずれか 1 つを “H” にして出力するものである。行アドレスデコーダ 20 の出力側には、行置換回路 30 とワード線ドライバ 40 が接続されている。

【 0 0 4 5 】

行置換回路 30 は、特定のワード線 WL_i またはこのワード線 WL_i に接続されたメモリセル 11 に欠陥があるときに、そのワード線 WL_i の使用を禁止して冗長ワード線 WL_r をその代替として置き換えるための回路である。

【 0 0 4 6 】

行置換回路 30 は試験用のパッド 31 を有し、このパッド 31 は抵抗 32 を介して接地電位 GND にプルダウンされると共に、インバータ 33 に接続されている。インバータ 33 の出力側は、2 入力 NAND 34 の一方の入力側に接続されている。NAND 34 の他方の入力側には、行アドレス信号 RAD が活性化された時に、同時に活性化されて “H” となる制御信号 XR が与えられるようになっている。NAND 34 の出力側はノード N1 に接続されている。

【 0 0 4 7 】

制御信号 XR は、更に PMOS 35 のゲートに与えられるようになっている。PMOS 35 のソースとドレインは、それぞれ電源電位 VCC とノード N2 に接

続されている。

【0048】

ノードN1, N2間には、m組の直列接続されたNMOS36_iとヒューズ37_iが並列に接続され、これらの各NMOS36_iのゲートには、それぞれ行選択信号R_iが与えられている。また、ノードN2には、直列に接続された2個のインバータ38a, 38bからなる保持回路が接続されている。更に、ノードN2にはインバータ39が接続され、このインバータ39の出力側から制御信号XFが出力されるようになっている。

【0049】

ワード線ドライバ40は、各行選択信号R_iに対応した2入力のNAND41_iを有しており、これらのNAND41_iに一方の入力側に行選択信号R_iが与えられ、他方の入力側に制御信号XFが共通に与えられるようになっている。各NAND41_iの出力側は、それぞれ反転増幅器42_iを介してワード線WL_iに接続されている。更に、ワード線ドライバ40は、制御信号XFを入力とする反転増幅器43を有しており、この反転増幅器43の出力側に冗長ワード線WL_rが接続されている。

【0050】

各ビット線対BL_j, /BL_jは、それぞれセンスアンプ51_jに接続されると共に、スイッチ用のNMOS52_j, 53_jを介して、データ線DL, /DLに接続されている。また、冗長ビット線対BL_r, /BL_rは、センスアンプ51_rに接続されると共に、スイッチ用のNMOS52_r, 53_rを介して、データ線DL, /DLに接続されている。これらのNMOS52_j, 53_j, 52_r, 53_rは、列選択信号CADに基づいて、列アドレスデコーダ60と列切替回路70から制御されるようになっている。

【0051】

列アドレスデコーダ60は、列アドレス信号CADが与えられたときに、これを解読して列選択信号C1, C2, ..., C_nの内のいずれか1つを“H”にして出力するものである。列アドレスデコーダ60の出力側には、列切替回路70が接続されている。

【 0 0 5 2 】

列切替回路 7 0 は試験用のパッド 7 1 を有しており、このパッド 7 1 は抵抗 7 2 を介して接地電位 GND にプルダウンされると共に、インバータ 7 3 に接続されている。インバータ 7 3 の出力側は、2 入力 NAND 7 4 の一方の入力側に接続されている。NAND 7 4 の他方の入力側には、電源投入直後の一定時間だけ “L” となり、その後 “H” に変化する初期信号 INT が与えられるようになっている。NAND 7 4 の出力側はノード NC 0 に接続され、このノード NC 0 に制御信号 YFD が出力されるようになっている。

【 0 0 5 3 】

ノード NC 0 は、ヒューズ 7 5₁ を介してノード NC 1 に接続され、このノード NC 1 がヒューズ 7 5₂ を介してノード NC 2 に接続されている。以下同様に、ヒューズ 7 5₂, 7 5₃, ..., 7 5_n を介して、ノード NC 3, NC 4, ..., NC n が接続されている。ノード NC n は、PMOS 7 6 を介して電源電位 VCC に接続されると共に、PMOS 7 7 を介して電源電位 VCC に接続されている。PMOS 7 6 のゲートには、制御信号 YFD がインバータ 7 8 を介して与えられ、PMOS 7 7 のゲートには、ノード NC n の電位がインバータ 7 9 を介して与えられている。これらの PMOS 7 6, 7 7、及びインバータ 7 9 による保持回路で、ノード NC n の電位が保持されるようになっている。

【 0 0 5 4 】

列切替回路 7 0 は、列アドレスデコーダ 6 0 から与えられる各列選択信号 C_j に対応して、それぞれノード NC_j のレベルでオン／オフ制御される 2 つの TG 8 0_j, 8 1_j を有している。TG 8 0_j は、ノード NC_j が “L” の時にオン状態となり、“H” の時にオフ状態となるものである。一方、TG 8 1_j は、ノード NC_j が “L” の時にオフ状態となり、“H” の時にオン状態となるものである。

【 0 0 5 5 】

TG 8 0_j の出力側は、ビット線対 BL_j, /BL_j に対応するスイッチ用の NMOS 5 2_j, 5 3_j のゲートに接続されている。一方、TG 8 1_j の出力側は、ビット線対 BL_{j+1}, /BL_{j+1} に対応するスイッチ用の NMOS 5 2_{j+1}

、 53_{j+1} のゲートに接続されている。また、列選択信号 C_n に対応する $TG81_n$ の出力側は、冗長ビット線対 BL_r 、 $/BL_r$ に対応するスイッチ用の $NMOS52_r$ 、 53_r のゲートに接続されている。

【0056】

データ線 DL 、 $/DL$ は、リードアンプ90に接続されている。リードアンプ90は、データ線 DL 、 $/DL$ に接続されたビット線対 BL_j 、 $/BL_j$ の信号を増幅して“H”または“L”のデータ信号 DB を出力するものである。リードアンプ90の出力側には、出力バッファ100Aが接続されている。

【0057】

出力バッファ100Aは、2入力の否定的論理和ゲート（以下、「NOR」という）104を有しており、このNOR104の第1の入力側に、データ信号 DB が与えられるようになっている。一方、NOR104の第2の入力側には、4入力の論理積ゲート（以下、「AND」という）105が接続され、このAND105の入力側に、制御信号 YFD と試験信号 RRT 、 CRT が与えられると共に、制御信号 XF がインバータ106を介して与えられるようになっている。NOR104の出力側には、PMOS102とNMOS103によるCMOSインバータが接続されており、このCMOSインバータから出力データ $DOUT$ が出力されるようになっている。

【0058】

次に、試験時の動作を説明する。

冗長メモリセルの試験に先立って、DRAMのパッド31、71に同時にプローブを接触させて、“H”レベルの信号を印加し、試験回路チェックを行う。この時、試験回路の論理ミス、形成された回路パターンの不良、或いはプローブの接触不良等が存在しなければ、試験信号 RRT 、 CRT 、及び制御信号 YFD は“H”となり、制御信号 XF は“L”となる。これにより、出力バッファ100AのAND105の出力信号は“H”となり、出力データ $DOUT$ は、リードアンプ90から出力されるデータ信号 DB に関係なく、常に“H”となる。

【0059】

もしも、試験回路の論理ミス、形成された回路パターンの不良、或いはプロー

ブの接触不良等が存在すると、AND 1 0 5 の出力信号は“L”となり、出力データ D O U T は、リードアンプ 9 0 から出力されるデータ信号 D B に応じて、“H”、“L”に変化する。

【 0 0 6 0 】

試験回路チェックにおいて、出力データ D O U T が常に“H”であることを確認した後、冗長メモリセルの試験を行う。冗長メモリセルの試験は、前述した通り、パッド 3 1, 7 1 の一方に“H”の信号を印加するので、出力バッファ 1 0 0 A の AND 1 0 5 の出力信号は“L”となる。これにより、出力データ D O U T は、リードアンプ 9 0 から出力されるデータ信号 D B に応じて“H”、“L”に変化し、従来通りの冗長メモリセルの試験が行われる。

【 0 0 6 1 】

以上のように、この第 1 の実施形態の D R A M は、2 つの試験信号 R R T, C R T を同時に印加したときに、出力データ D O U T を“H”に固定する出力バッファ 1 0 0 A を有している。これにより、内部に冗長メモリセルの試験状態が正しく設定されているか否かを、チェックすることができるという利点がある。

【 0 0 6 2 】

(第 2 の実施形態)

図 3 は、本発明の第 2 の実施形態を示す出力バッファの回路図である。この出力バッファ 1 0 0 B は、図 1 中の出力バッファ 1 0 0 A に代えて設けられるもので、図 1 中の要素と共通の要素には共通の符号が付されている。

【 0 0 6 3 】

この出力バッファ 1 0 0 B は、試験信号 R R T, C R T、制御信号 Y F D、及びインバータ 1 0 6 で反転された制御信号 X F が入力される 4 入力の N A N D 1 0 7 を有している。N A N D 1 0 7 の出力側は、2 入力の N A N D 1 0 8 の一方の入力側に接続され、この N A N D 1 0 8 の他方の入力側には、リードアンプ 9 0 から出力されるデータ信号 D B が与えられるようになっている。N A N D 1 0 8 の出力側には、P M O S 1 0 2 と N M O S 1 0 3 による C M O S インバータが接続されており、この C M O S インバータから出力データ D O U T が出力されるようになっている。

【 0 0 6 4 】

この出力バッファ 1 0 0 B では、試験信号 R R T、C R T、及び制御信号 Y F D が “H” で、制御信号 X F が “L” の時にのみ、N A N D 1 0 7 の出力信号が “L” となり、出力データ D O U T は、データ信号 D B に関係なく、常に “L” となる。その他の動作は、第 1 の実施形態と同様で、同様の利点を有する。

【 0 0 6 5 】

(第 3 の実施形態)

図 4 (a) ～ (d) は、本発明の第 3 の実施形態を示す出力バッファの回路図である。これらの各出力バッファ 1 0 0 C ～ 1 0 0 F は、それぞれ図 1 中の出力バッファ 1 0 0 A に代えて設けられるもので、図 1 中の要素と共通の要素には共通の符号が付されている。

【 0 0 6 6 】

図 4 (a) の出力バッファ 1 0 0 C は、図 1 中の出力バッファ 1 0 0 A における A N D 1 0 5 を 3 入力のアンド 1 0 5 A に代えて、制御信号 Y F D の入力を省略したものである。また、図 4 (b) の出力バッファ 1 0 0 D は、図 1 中の出力バッファ 1 0 0 A における A N D 1 0 5 を 3 入力のアンド 1 0 5 A に代えと共に、インバータ 1 0 6 を削除し、制御信号 X F の入力を省略したものである。いずれも、制御信号 X F、Y F D を同時に確認することはできないが、その他の動作は第 1 の実施形態とほぼ同様で、同様の利点を有する。

【 0 0 6 7 】

図 4 (c) の出力バッファ 1 0 0 E は、図 3 の出力バッファ 1 0 0 B における N A N D 1 0 7 を 3 入力のアンド 1 0 7 A に代えて、制御信号 Y F D の入力を省略したものである。また、図 4 (d) の出力バッファ 1 0 0 F は、図 3 の出力バッファ 1 0 0 B における N A N D 1 0 7 を 3 入力のアンド 1 0 7 A に代えと共に、インバータ 1 0 6 を削除し、制御信号 X F の入力を省略したものである。いずれも、制御信号 X F、Y F D を同時に確認することはできないが、その他の動作は第 2 の実施形態とほぼ同様で、同様の利点を有する。

【 0 0 6 8 】

(第 4 の実施形態)

図 5 は、本発明の第 4 の実施形態を示す出力バッファの回路図である。この出力バッファ 1 0 0 G は、図 1 中の出力バッファ 1 0 0 A に代えて設けられるもので、図 1 中の要素と共通の要素には共通の符号が付されている。

【 0 0 6 9 】

この出力バッファ 1 0 0 G は、制御信号 X F が与えられるインバータ 1 0 6 を有し、このインバータ 1 0 6 の出力側が 2 入力 NAND 1 0 9 の一方の入力側に接続されている。NAND 1 0 9 の他方の入力側には、試験信号 R R T が与えられている。また、試験信号 C R T と制御信号 Y F D は、2 入力 NAND 1 1 0 に与えられている。NAND 1 0 9、1 1 0 の出力側は、2 入力 AND 1 1 1 の入力側に接続され、この AND 1 1 1 の出力側が、否定的排他的論理和ゲート（以下、「ENOR」という）1 1 2 の一方の入力側に接続されている。ENOR 1 1 2 の他方の入力側には、データ信号 D B が与えられている。ENOR 1 1 2 の出力側は、PMOS 1 0 2 と NMOS 1 0 3 による CMOS インバータに接続され、この CMOS インバータから出力データ D O U T が出力されるようになっている。

【 0 0 7 0 】

この出力バッファ 1 0 0 G では、冗長メモリセルの試験時に試験信号 R R T に “H” が与えられて制御信号 X F が “L” になると、NAND 1 0 9 の出力信号が “L” となり、AND 1 1 1 の出力信号が “L” になる。これにより、データ信号 D B が反転されて出力データ D O U T として出力される。同様に、試験信号 C R T に “H” が与えられて制御信号 Y F D が “H” になると、NAND 1 1 0 の出力信号が “L” となり、AND 1 1 1 の出力信号が “L” になる。これにより、データ信号 D B が反転されて出力データ D O U T として出力される。

【 0 0 7 1 】

一方、冗長メモリセルの試験が行われず、時試験信号 R R T、C R T が共に “L” の時には、NAND 1 0 9、1 1 0 の出力信号は “H” となる。これにより、AND 1 1 1 の出力信号は “H” となり、データ信号 D B は反転されずに出力データ D O U T として出力される。

【 0 0 7 2 】

以上のように、この第4の実施形態の出力バッファ100Gは、冗長メモリセルの試験時に、データ信号DBを反転して出力データDOUTを出力するように構成している。これにより、通常のメモリセルと同様に冗長メモリセルの試験を行うことができ、その試験結果から内部に試験状態が正しく設定されているか否かをチェックすることができるという利点がある。

【0073】

(第5の実施形態)

図6は、本発明の第5の実施形態を示す出力バッファの回路図であり、図5中の要素と共通の要素には共通の符号が付されている。

この出力バッファ100Hは、試験信号RRTと制御信号XFが与えられる2入力のNAND113と、試験信号CRTとインバータ114で反転された制御信号YFDが与えられる2入力のNAND115を有している。NAND113、115の出力側は、2入力のNAND116の入力側に接続され、このNAND116の出力側が、ノードN11に接続されている。

【0074】

更に、この出力バッファ100Hは、電源電位VCCとノードN12の間に、並列に接続されたPMOS117とNMOS118を有しており、このPMOS117とNMOS118のゲートがノードN11に接続されている。また、ノードN12と接地電位GNDの間には、PMOS102とNMOS103によるCMOSインバータが接続されている。CMOSインバータの入力側には、データ信号DBがインバータ102を介して与えられ、出力側から出力データDOUTが出力されるようになっている。

【0075】

この出力バッファ100Hでは、冗長メモリセルの試験時に内部の制御信号XF、YFDが正しいレベルにならない場合、即ち、試験信号RRTが“H”で制御信号XFが“H”、または、試験信号CRTが“H”で制御信号YFDが“L”の場合にのみ、NAND116の出力信号（即ち、ノードN11）が“H”となる。これにより、PMOS117がオフ状態、NMOS118がオン状態となり、ノードN12の電位は $V_{CC} - V_t$ （但し、 V_t はNMOS118の閾値電

圧)となる。このため、出力データDOUTの“H”の電位は、電源電位VCCまで上昇せず、 $VCC - V_t$ となる。

【0076】

一方、冗長メモリセルの試験構成が正常に設定された場合や、通常のメモリアクセス時には、ノードN11は“L”となる。これにより、PMOS117がオン状態、NMOS118がオフ状態となり、ノードN12は電源電位VCCとなっており、出力データDOUTの“H”の電位は、電源電位VCCまで上昇する。

【0077】

以上のように、この第5の実施形態の出力バッファ100Hは、冗長メモリセルの試験時に、内部の制御信号が正しく設定されない場合に、出力用のCMOSインバータ回路の電源電圧を低下させる構成にしている。これにより、出力データDOUTの“H”の電位をチェックすることにより、内部に試験状態が正しく設定されているか否かをチェックすることができるという利点がある。

【0078】

(第6の実施形態)

図7は、本発明の第6の実施形態を示す出力バッファの回路図である。

この出力バッファ200は、従来のシンクロナスDRAM（以下、「SDRAM」という）用の出力バッファに適用したものであり、一点鎖線で囲んだ部分は、従来の出力タイミング調整回路210である。

【0079】

出力タイミング調整回路210は、データ信号DBをクロック信号CLKに同期して順次遅延させるためのフリップフロップ（以下、「FF」という）211、212と、データ信号DBまたは遅延されたデータ信号を選択して出力するためのTG213、214、215で構成されている。

【0080】

出力タイミング調整回路210では、レイテンシ1の場合、制御信号LT1を“H”にしてTG213をオン状態にし、クロック信号CLKと同一クロック周期内に出力を行うようになっている。また、レイテンシ2、3の場合、それぞれ制御信号LT2、LT3を“H”にして、TG214、215をオン状態にし、

クロック信号CLKから1, 2クロック周期だけ遅らせて出力を行うようになっている。

【0081】

一方、この第6の実施形態の出力バッファ200では、更に、試験信号RRT, CRT、及び制御信号XF, YFDの論理を加え、冗長メモリセルの内部の試験状態が正しく設定されたときに、レイテンシ4に相当するタイミングで出力データDOUTを出力するための回路が追加されている。

【0082】

即ち、この出力バッファ200は、試験信号RRTとインバータ221で反転された制御信号XFが与えられる2入力のNAND222と、試験信号CRTと制御信号YFDが与えられる2入力のNAND223を有している。NAND222, 223の出力側は、2入力のNAND224に接続され、このNAND224から出力される制御信号LT4が、NOR225～227の一方の入力側に与えられるようになっている。NOR225～227の他方の入力側には、それぞれ制御信号L1～L3が与えられ、これらのNOR225～227から、それぞれ制御信号LT1～LT3が、出力タイミング調整回路210に与えられるようになっている。

【0083】

また、この出力バッファ200は、FF212の出力信号を更に1クロック周期だけ遅延されるためのFF228を有しており、このFF228の出力側に、制御信号LT4で制御されるTG229が接続されている。TG213～215, 229の出力側は、インバータ230を介してPMOS231とNMOS232によるCMOSインバータに接続され、このCMOSインバータから出力データDOUTが出力されるようになっている。

【0084】

この出力バッファ200では、冗長メモリセル試験時に内部の状態が正しく設定されていれば、NAND224から出力される制御信号LT4が“H”となり、TG229がオン状態となってレイテンシ4のタイミングで出力データDOUTが出力される。

【 0 0 8 5 】

以上のように、この第 6 の実施形態の出力バッファ 2 0 0 は、冗長メモリセルの試験時に、内部の制御信号が正しく設定されていれば、レイテンシ 4 のタイミングで出力データ D O U T を出力させる構成にしている。これにより、出力データ D O U T の出力タイミングをチェックすることにより、内部に試験状態が正しく設定されているか否かをチェックすることができるという利点がある。

【 0 0 8 6 】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

(a) 図 1 中の行置換回路 3 0 の構成は、図示したもの限定されない。列切替回路 7 0 と同様の行切替回路を使用しても良い。また、図 1 中の列切替回路 7 0 に代えて、行置換回路 3 0 と同様の列置換回路を使用しても良い。

【 0 0 8 7 】

(b) 出力バッファ 1 0 0 A 等における論理ゲートの構成は、例示したもの限定されない。同様の条件設定ができるものであれば、どの様に論理ゲートを組み合わせて構成しても良い。

【 0 0 8 8 】

(c) D R A M に適用した例を説明したが、S R A M (Static Random Access Memory) 等のその他の方式の半導体記憶装置にも同様に適用できる。

【 0 0 8 9 】

(d) 行方向と列方向に冗長メモリセルをそれぞれ 1 組ずつ備えた D R A M を例にして説明したが、例えば、行方向だけに冗長メモリセルを備えた半導体記憶装置にも同様に適用できる。また、同一方向に複数組の冗長メモリセルを備えた半導体記憶装置にも同様に適用できる。

【 0 0 9 0 】

【発明の効果】

以上詳細に説明したように、第 1 の発明によれば、冗長メモリセルに対する試験状態が正しく設定された時に、この冗長メモリセルから読み出されたデータを、通常とは異なるレベルで出力する出力回路を有している。これにより、内部に

試験状態が正しく設定されているか否かをチェックすることができる。

【 0 0 9 1 】

第 2 の発明によれば、内部に試験状態が正しく設定されているときに、冗長メモリセルから読み出されたデータのハイレベルの電位を所定の電位よりも低い電位で出力する出力回路を有している。これにより、第 1 と同様の効果がある。

【 0 0 9 . 2 】

第 3 の発明によれば、内部に試験状態が正しく設定されているときに、冗長メモリセルから読み出されたデータを反転して出力する出力回路を有している。これにより、第 1 と同様の効果がある。

【 0 0 9 3 】

第 4 の発明によれば、第 1 の発明における出力回路を第 1 と第 2 の論理との組み合わせで構成している。これにより、簡単な構成で、第 1 の発明の効果が得られる。

【 0 0 9 4 】

第 5 の発明によれば、第 1 及び第 2 の電極に同時にそれぞれの試験信号が与えられて第 1 及び第 2 の冗長メモリセルに対する試験状態が設定された時に、一定レベルの信号を出力する出力回路を有している。これにより、実際の冗長メモリセルの試験に先立って、正しい試験状態を設定できるか否かをチェックすることができるという効果がある。

【 0 0 9 . 5 】

第 6 の発明によれば、正しい試験状態が設定できたときに、ハイレベルまたはローレベルの信号を出力する出力回路を有している。これにより、試験状態の設定ができたか否かを簡単に調べることができる。

【 0 0 9 6 】

第 7 の発明によれば、第 5 の発明における出力回路を第 1 と第 2 の論理との組み合わせで構成している。これにより、簡単な構成で、第 5 の発明の効果が得られる。

【 0 0 9 7 】

第 8 の発明によれば、正しい試験状態が設定できたときに、本来のデータとは

異なるタイミングで冗長メモリセルのデータを出力する出力回路を有している。
これにより、第 1 の発明と同様の効果が得られる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態を示す D R A M の構成図である。

【図 2】

従来の D R A M の一例を示す構成図である。

【図 3】

本発明の第 2 の実施形態を示す出力バッファの回路図である。

【図 4】

本発明の第 3 の実施形態を示す出力バッファの回路図である。

【図 5】

本発明の第 4 の実施形態を示す出力バッファの回路図である。

【図 6】

本発明の第 5 の実施形態を示す出力バッファの回路図である。

【図 7】

本発明の第 6 の実施形態を示す出力バッファの回路図である。

【符号の説明】

1 0 メモリセルアレイ

2 0 行アドレスデコーダ

3 0 行置換回路

4 0 ワード線ドライバ

6 0 列アドレスデコーダ

7 0 列切替回路

1 0 0 A ~ 1 0 0 H, 2 0 0 出力バッファ

1 0 4 N O R

1 0 5, 1 1 1 A N D

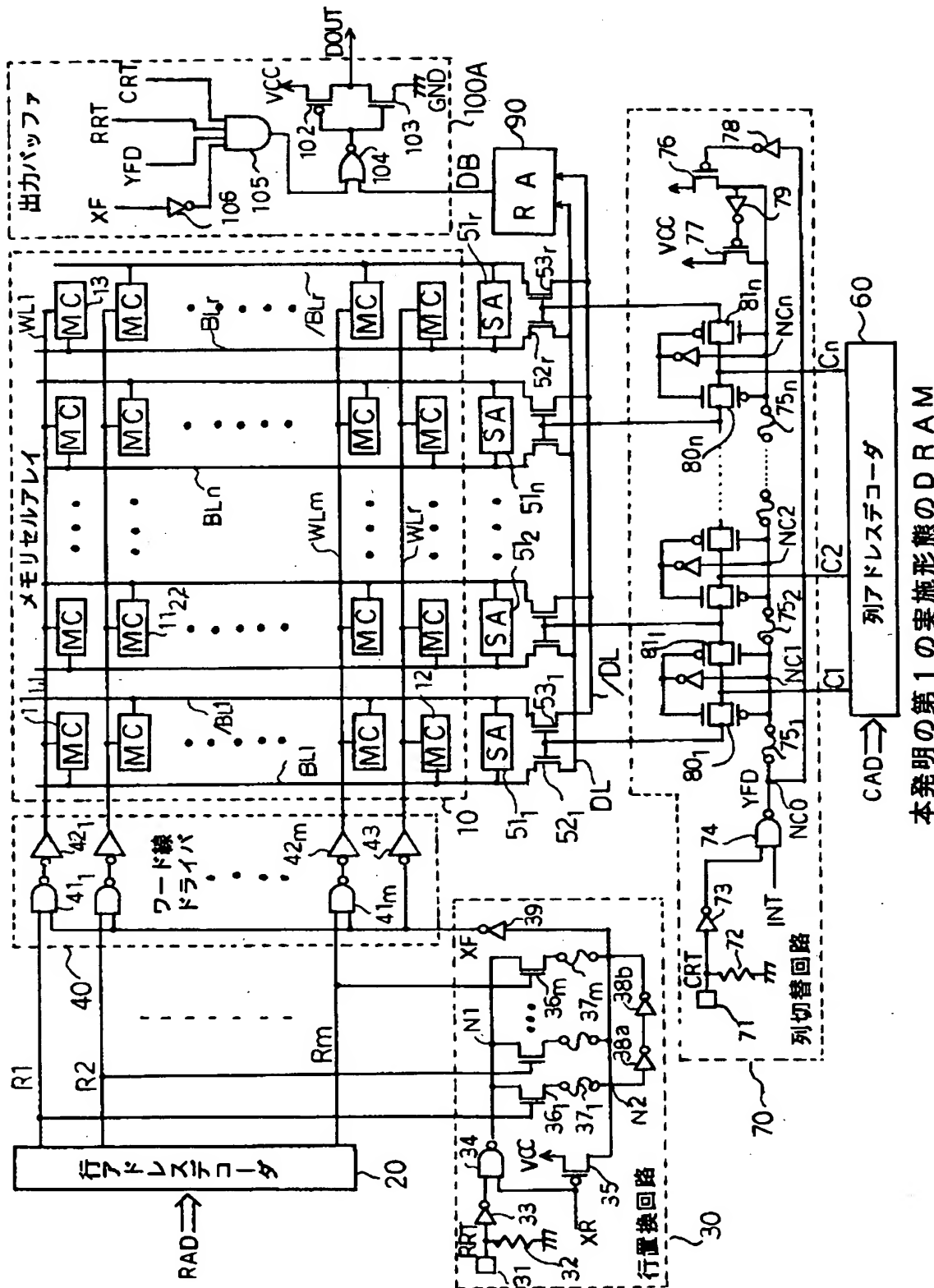
1 0 7 ~ 1 1 0, 1 1 3, 1 1 5, 1 1 6 N A N D

1 1 2 E N O R

【書類名】

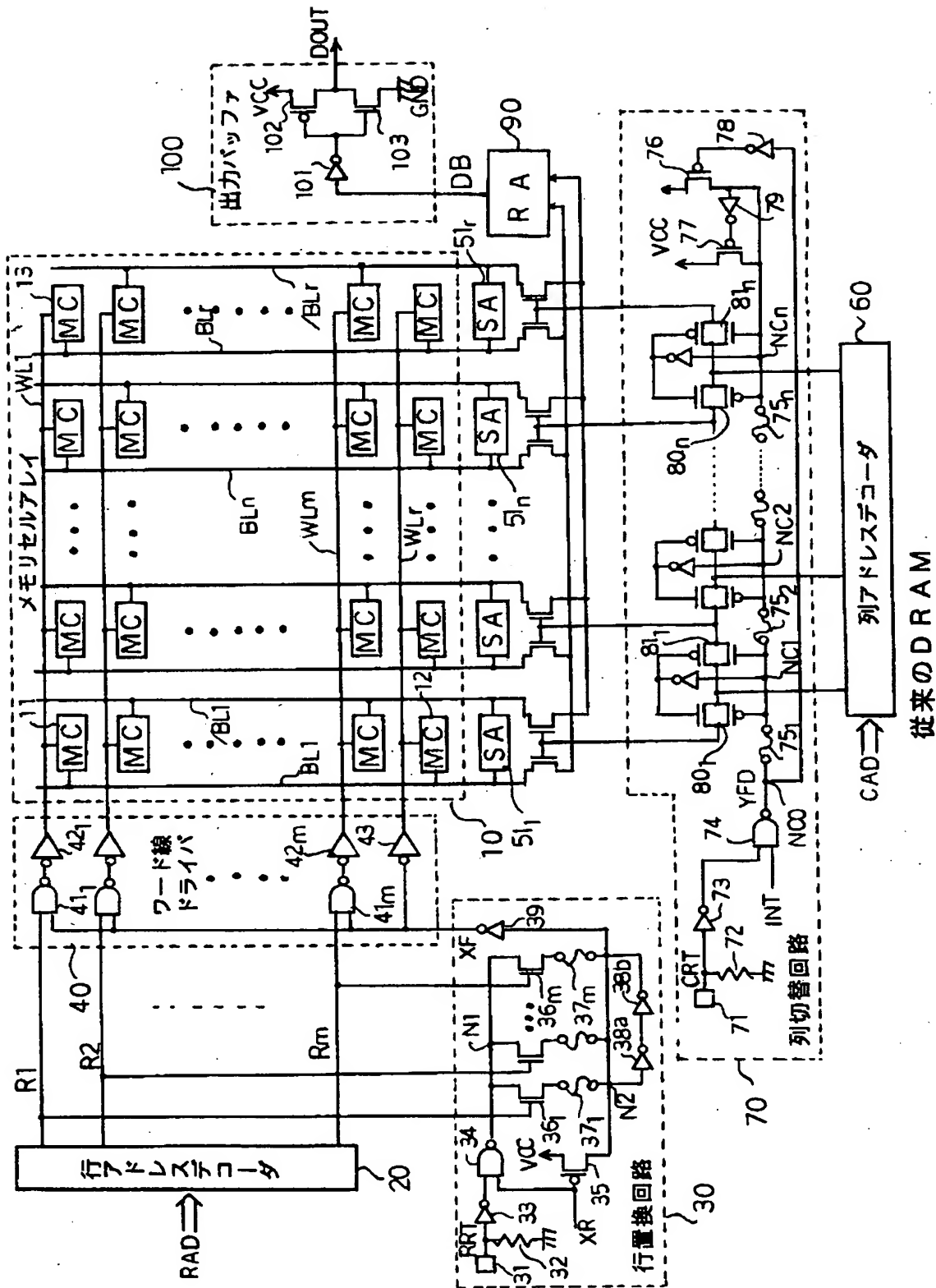
図面

【図 1】

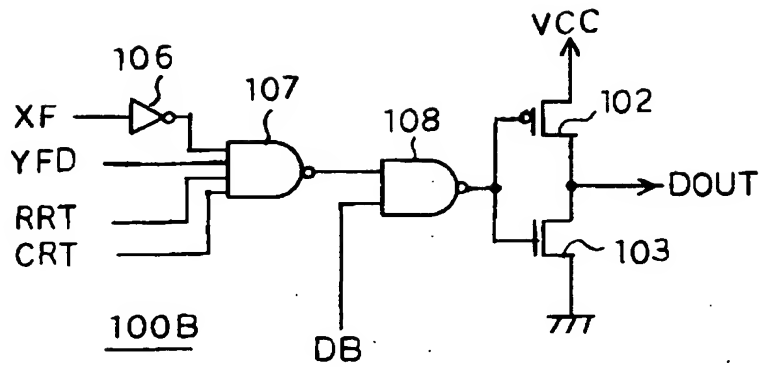


本発明の第1の実施形態のDRAM

【図2】

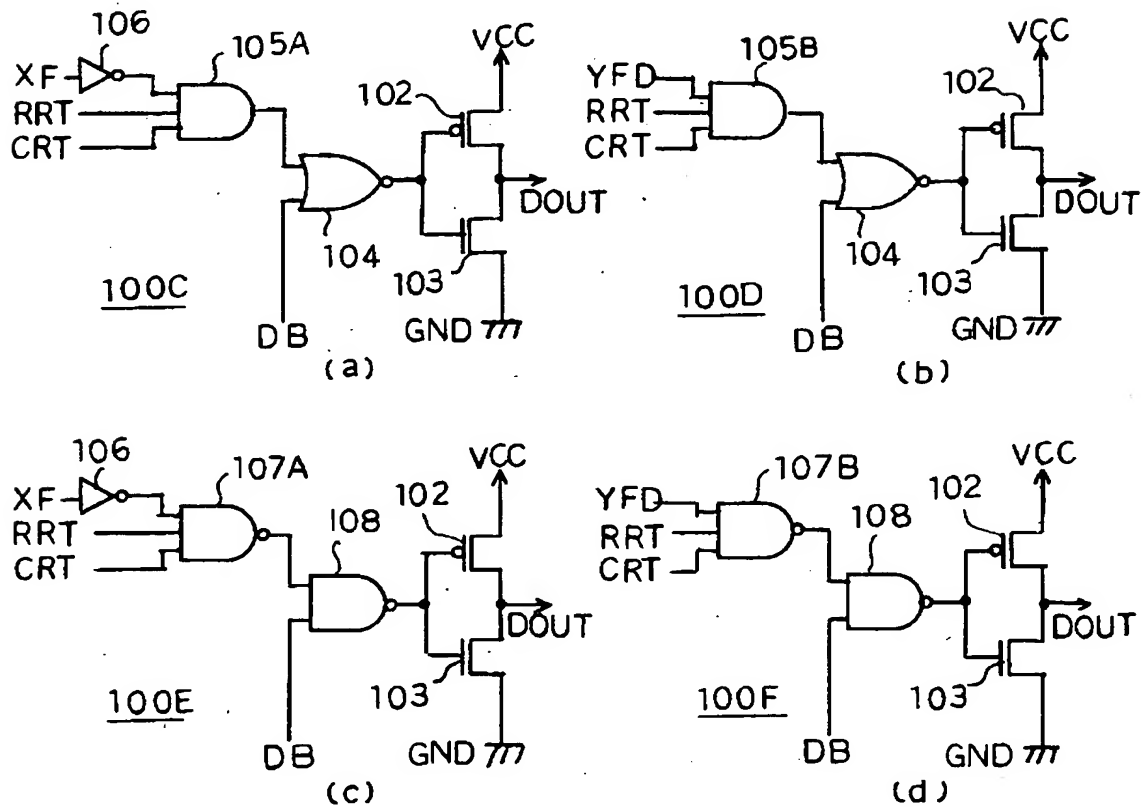


【図 3】



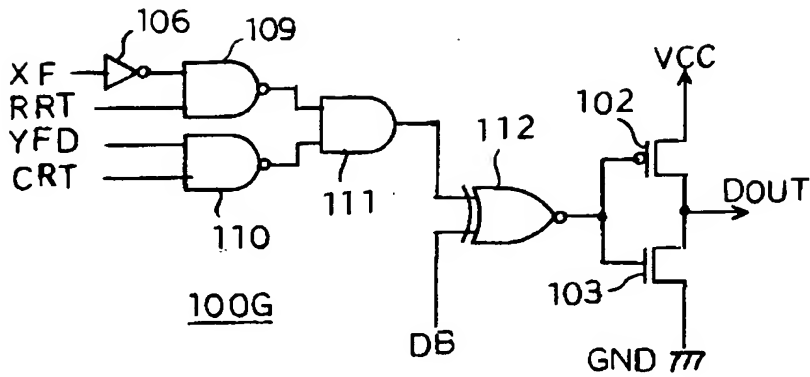
本発明の第 2 の実施形態の出力バッファ

【図 4】



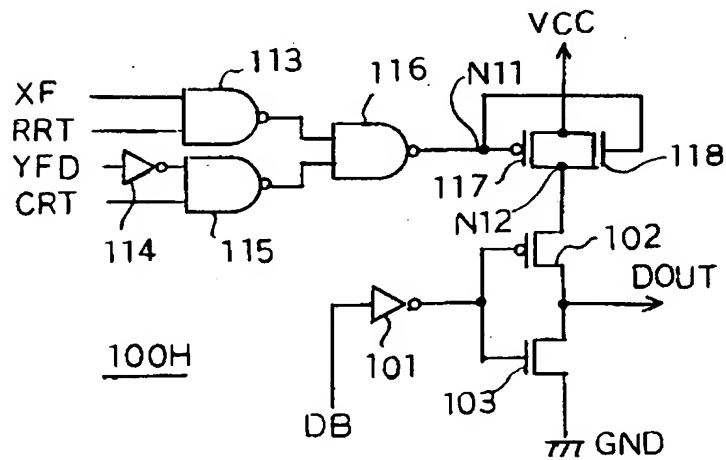
本発明の第 3 の実施形態の出力バッファ

【図 5】



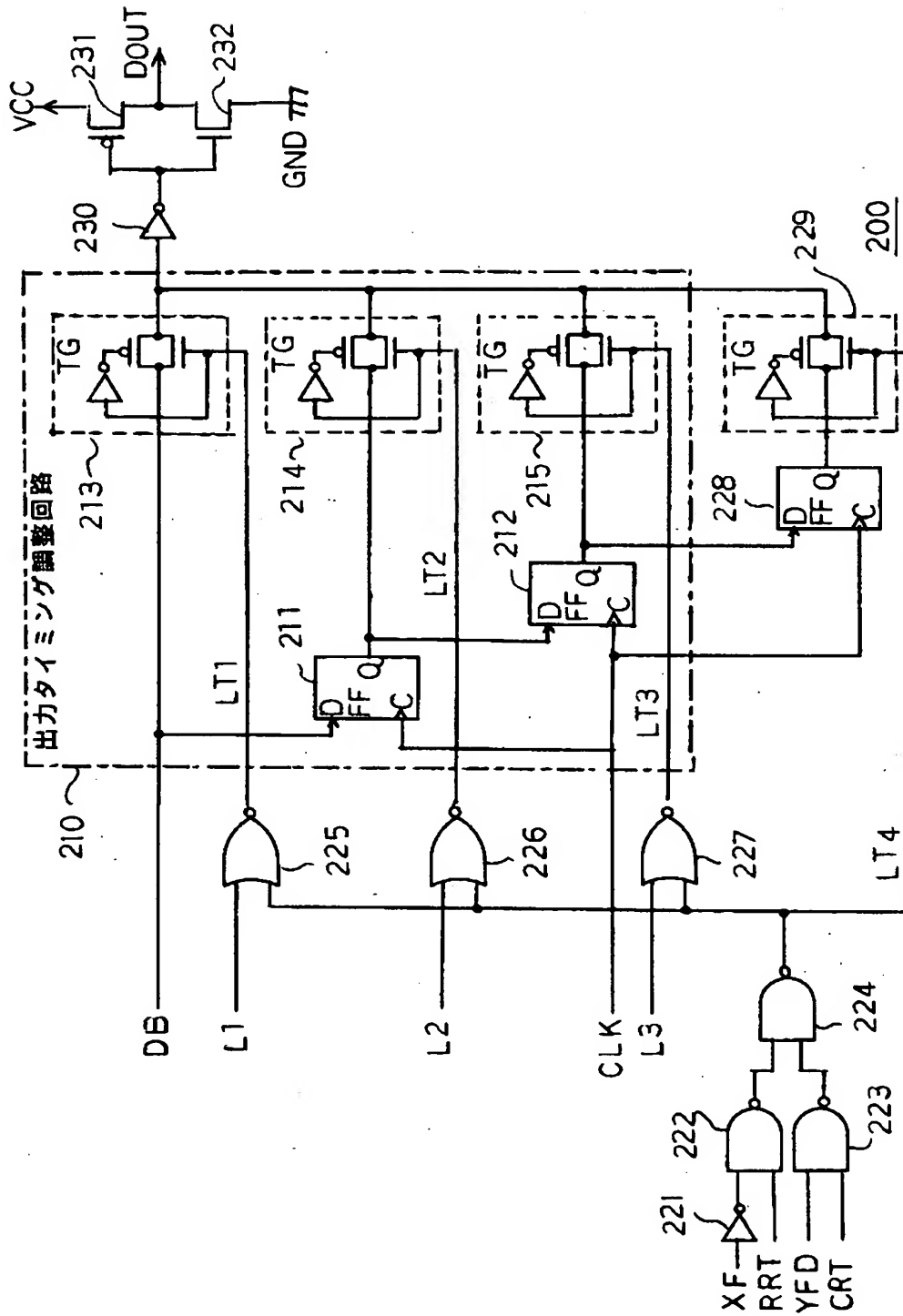
本発明の第 4 の実施形態の出力バッファ

【図 6】



本発明の第 5 の実施形態の出力バッファ

【図7】



本発明の第6の実施形態の出力バッファ

【書類名】 要約書

【要約】

【課題】 冗長メモリセルの試験時に、内部に試験状態が正しく設定されているか否かをチェックできる半導体記憶装置を提供する。

【解決手段】 行方向の冗長メモリセルを試験するための試験信号 R R T とこの試験信号 R R T によって生成される制御信号 X F、及び列方向の冗長メモリセルを試験するための試験信号 C R T とこの試験信号 C R T によって生成される制御信号 Y F D が、出力バッファ 1 0 0 A に与えられる。2つの試験信号 R R T、C R T を同時に “H” に設定したとき、内部が正しい試験状態になれば、制御信号 X F は “L”、制御信号 Y F D は “H” となる。これにより、AND 1 0 5 の出力信号は “H” となり、出力バッファ 1 0 0 A の出力データ D O U T は、データ信号 D B に無関係に “H” となる。これにより、試験状態が正しく設定されているか否かをチェックできる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社

出 願 人 履 歴 情 報

識別番号 [591049893]

1. 変更年月日 1999年 6月17日
[変更理由] 名称変更
住 所 宮崎県宮崎郡清武町大字木原7083番地
氏 名 株式会社 沖マイクロデザイン